

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-097340

(43)Date of publication of application : 23.04.1991

(51)Int.Cl. H04L 29/06

G06F 13/36

(21)Application number : 01-233015

(71)Applicant : FUJITSU LTD

(22)Date of filing : 11.09.1989

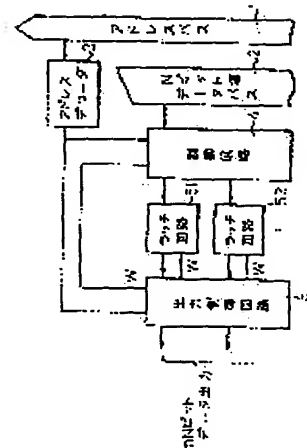
(72)Inventor : NAKAMARU MASAHIRO

## (54) DATA BUS WIDTH CONVERSION CIRCUIT

### (57)Abstract:

**PURPOSE:** To relieve the load of a CPU by adopting the constitution such that the changeover of an output bit width by means of the hardware is not required so as to simplify the constitution and to generate a write signal to be written from a latch circuit to an output control circuit from in the inside of the control circuit.

**CONSTITUTION:** The data bus width conversion circuit is a circuit receiving N-bit data by m-times and outputting mN-bit data, and latch circuits 51, 52,... designate different addresses to output N-bit data and mN-bit data in advance to latch the N-bit data. A control circuit 4 designates to which latch circuit the outputted mN-bit data is latched for N-bit each, and when mN-bit data is all latched to the latch circuit, a data write signal W is sent to an output control circuit 8 and the data is written from the latch circuit to the output control circuit. The output control circuit 6 outputs the data latched in the latch circuit as the mN-bit data and informs the high-order or low-order (n-m)N-bit to be valid when the output is the mN bit data ((0<m<n)).



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑮公開特許公報(A) 平3-97340

審査請求 未請求 請求項の枚数 1 (全6頁)  
 H 04 L 13/00 305 B

⑩特 蔵・平1-233015  
⑪出 蔵 平1(1989)9月11日

出 願 人 富士通株式会社  
代 理 人 井上 青木 朗  
〒 神奈川県川崎市中原区上小田中1015番地  
外 4 名

2

1. Nビットのデータバス幅を擴大して、mNビットデータを送出するデータバス幅交換回路であって、出力がNビットのデータと、mNビットのデータに對し異なるアドレスをあらかじめ指定しておき、Nビットデータをうつすためのラッチ回路と、  
出力がmNビットデータをNビット毎にどのラッチ回路にうつさせるかを指定し、mNビットデータがすべてラッチ回路にラッチされたときを出力制御回路に通知するための手段を有する前側回路と、  
ラッチ回路にラッチされたデータとmNビットデータとして出力し、また出力がmNビットデータ ( $0 < m < n$ ) の場合に上位、または下位 (n-m) Nビットが無効であることを通知する出力制御回路とを有することを特徴とするデータバス幅交換回路。

(目的) ハード面での出力ビット幅の切り替えを不要とする構成にすることにより、構成を簡単にするとともに、ラッチ回路から出力制御回路へ替込む書き込み信号を制御回路内部でつくることにより、CPUの負荷を軽減する。

(構成) 本データバスは、NビットのデータをNビットのデータで戻入出力して、Nビットのデータを出力する回路である。ラッチ回路5, 1, 5, 2, …は、出力がNビットのデータと、MNPビットのデータにそれぞれ異なるアドレスをあらかじめ指定しておき、MNPビットデータをラッチする。前回路4は、出力するMNPビットデータをNビット毎にこのラッチ回路にラッチさせるべきものを指定し、MNPビットデータがすべてラッチ回路にラッチされたら、出力制御回路6にデータ書き込み許可信号を送り、ラッチ回路から出力制御回路へデータが書き込まれる。出力制御回路6は、ラッチ回路にラッチされたデータをMNPビットデータとして出力し、また出力がMNPビットデータ(0<m<n)の場合に、上記または下位(n-m)Nビットが有効であることを通知する。

切換不要構成 簡易ラツチ回路 出力制御回路 書き込み信号制御回路 内部 CPU 負荷軽減本 N ビットデータ入力出力回路 異なりアドレス指定ラツチすべてデータ書き込み信号を送り場合上位無効通知)





